

کد کنترل

331

F



331F

آزمون (نیمه‌متمرکز) ورود به دوره‌های دکتری - سال ۱۴۰۱

دفترچه شماره (۱)

صبح جمعه ۱۴۰۰/۱۲/۶



جمهوری اسلامی ایران
وزارت علوم، تحقیقات و فناوری
سازمان سنجش آموزش کشور

«اگر دانشگاه اصلاح شود مملکت اصلاح می‌شود.»

امام خمینی (ره)

رشته مهندسی کامپیوتر - معماری
(کد ۲۳۵۵)

جدول مواد امتحانی، تعداد، شماره سؤال‌ها و زمان پاسخ‌گویی

مواد امتحانی	تعداد سؤال	از شماره	تا شماره	زمان پاسخ‌گویی
مجموعه دروس تخصصی: - مدار منطقی و معماری کامپیوتر - معماری کامپیوتر پیشرفته - VLSI پیشرفته	۴۵	۱	۴۵	۱۵۰ دقیقه

استفاده از ماشین حساب مجاز نیست.

این آزمون نمره منفی دارد.

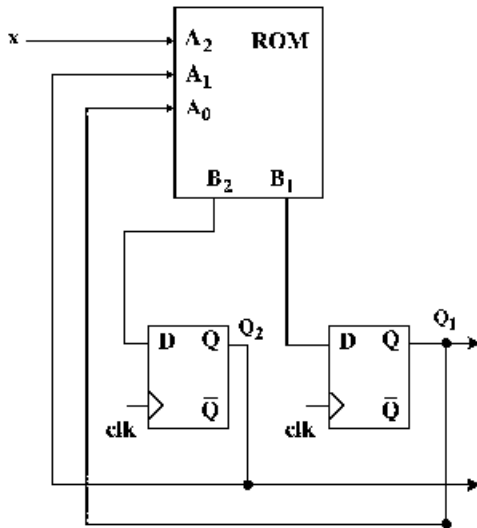
حن جاییه تکثیر و انتشار سؤال‌ها به هر روش (الکترونیکی و...) پس از برگزاری آزمون، برای تمامی اشخاص حقیقی و حقوقی تنها با مجوز این سازمان مجاز می‌باشد و یا منتظران برابر مقررات رفتار می‌شود.

* متقاضی گرامی، وارد نکردن مشخصات و امضا در کادر زیر، به منزله غیبت و حضور نداشتن در جلسه آزمون است.

اینجانب با شماره داوطلبی با شماره داوطلبی کامل، یکسان بودن شماره صندلی خود را با شماره داوطلبی مندرج در بالای کارت ورود به جلسه، بالای پاسخ‌نامه و دفترچه سؤال‌ها، نوع و کد کنترل درج شده بر روی دفترچه سؤال‌ها و پایین پاسخ‌نامه‌ام را تأیید می‌نمایم.

امضا:

۱- جدول حالت یک ماشین حالت به صورت زیر است. ورودی مدار x و خروجی‌های مدار، همان خروجی‌های فلیپ‌ها (Q_2, Q_1) هستند. در صورتی که این ماشین حالت مطابق شکل زیر با ROM پیاده‌سازی شود، محتویات آن از خانه صفر تا خانه ۷ به ترتیب (از چپ به راست) چیست؟ (بیت A_2 با بیشترین ارزش آدرس و بیت B_2 با بیشترین ارزش داده است)



$Q_2 Q_1$	$Q_2^+ Q_1^+$	$Q_2^+ Q_1^+$
	$x=0$	$x=1$
00	01	00
01	10	00
10	11	01
11	00	01

حالت جاری: $Q_2 Q_1$

حالت بعدی: $Q_2^+ Q_1^+$

(۱) 00, 01, 00, 10, 01, 11, 01, 00

(۲) 01, 10, 11, 00, 00, 00, 01, 01

(۳) 01, 00, 10, 00, 11, 01, 00, 01

(۴) 01, 10, 11, 01, 00, 00, 01, 01

۲- در تابع زیر، در صورت پیاده‌سازی به صورت حاصل جمع حاصل ضرب‌ها (SOP) با حداقل تعداد گیت، چند مخاطره (Hazard) وجود دارد؟

$$F(A, B, C, D) = \sum m(0, 2, 3, 4, 5, 7, 8, 9, 10) + \sum d(15)$$

۱ (۱)

۲ (۲)

۳ (۳)

۴ (۴)

۳- کمترین تعداد مانتی پلکسرهای ۲ به ۱ مورد نیاز جهت پیاده‌سازی تابع F کدام است؟

$$F = x_1 \bar{x}_3 (\bar{x}_4 x_5 + x_4 x_6) + \bar{x}_1 \bar{x}_3 (\bar{x}_4 x_5 + x_4 x_6) + \bar{x}_1 \bar{x}_3 (\bar{x}_4 x_5 + x_4 x_6) + \bar{x}_1 x_3 (\bar{x}_4 x_5 + x_4 x_6)$$

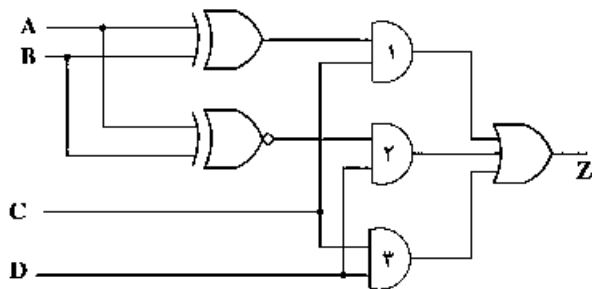
۲ (۱)

۳ (۲)

۵ (۳)

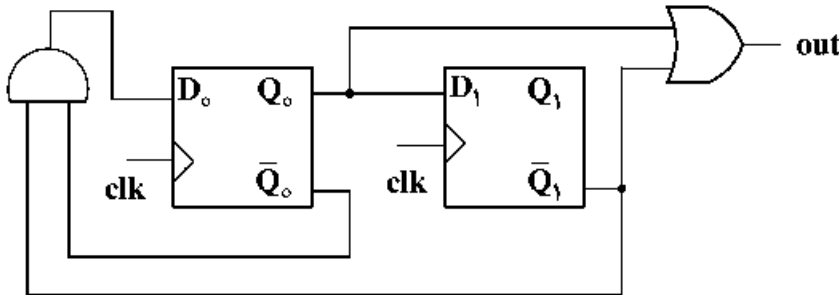
۴ (۴)

۴- در مدار زیر، کدام یک از گیت‌ها اضافی است؟



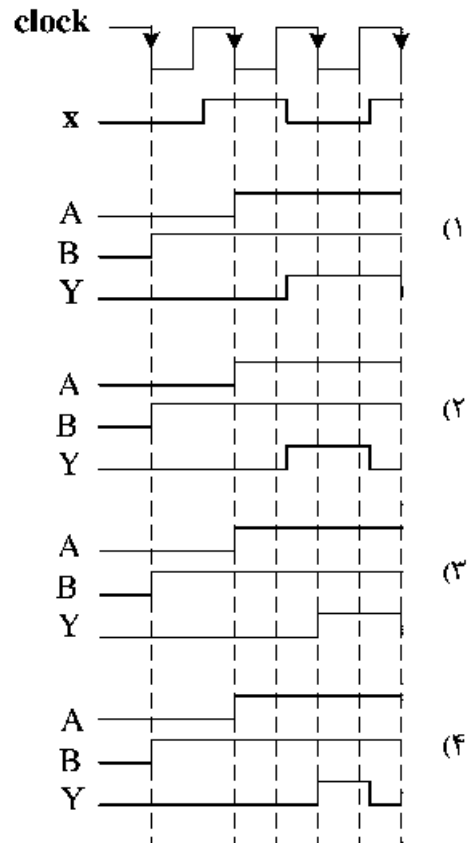
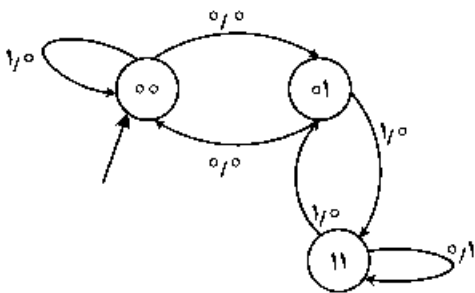
- ۱ (۱)
- ۲ (۲)
- ۳ (۳)
- هیچ کدام (۴)

۵- با فرض اینکه سیگنال clk ، فرکانس 30 kHz داشته باشد، فرکانس سیگنال out چند کیلوهرتز است؟

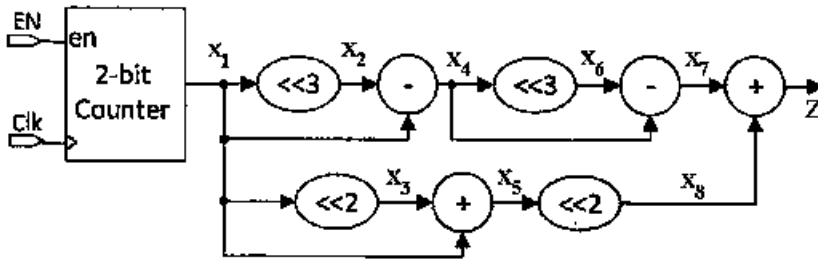


- ۱۰ (۱)
- ۱۵ (۲)
- ۳۰ (۳)
- ۶۰ (۴)

۶- برای ماشین حالت زیر، با فرض آنکه مدار از حالت $AB=00$ شروع به کار کند، شکل موج خروجی‌های فلیپ فلاپ‌ها (A و B) و خروجی مدار (Y) کدام است؟ (X ورودی مدار است.)



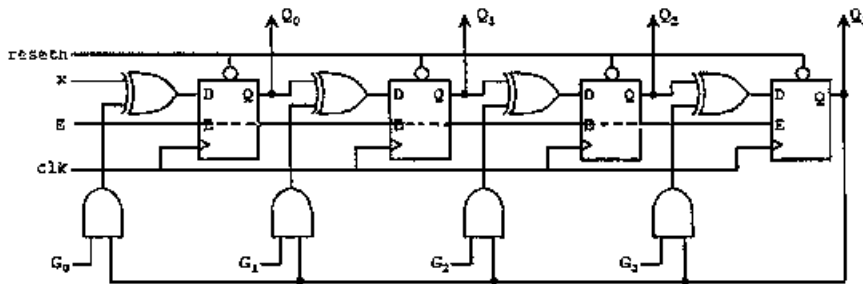
۷- فرض کنید که مقدار اولیه شمارنده ۲ بیتی صفر و سیگنال EN در تمامی سیکل‌ها مقدار یک دارند. همچنین فرض کنید که تمامی متغیرهای میانی (x_1 الی x_8) و خروجی ۸ بیتی هستند. مدار زیر چه خروجی‌هایی را طی چهار سیکل تولید می‌کند؟



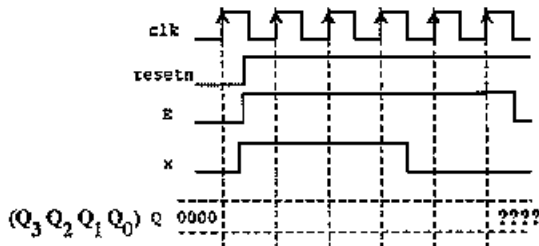
- $\rightarrow 80 \rightarrow 160 \rightarrow 240$ (۱)
- $\rightarrow 69 \rightarrow 138 \rightarrow 207$ (۲)
- $\rightarrow 76 \rightarrow 152 \rightarrow 228$ (۳)
- $\rightarrow 54 \rightarrow 108 \rightarrow 162$ (۴)

$\ll n$: n بیت شیفت به چپ با ورود صفر از سمت راست
 + : جمع
 - : تفریق

۸- مدار زیر را در نظر بگیرید که شامل چهار فلیپ فلاپ D و خروجی با ترتیب (Q_3, Q_2, Q_1, Q_0) با مقدار اولیه ۰۰۰۰ است. در صورتی که ورودی $G_3, G_2, G_1, G_0 = 1001$ و سایر ورودی‌ها مطابق شکل موج زیر به مدار اعمال شوند، خروجی مدار بعد از لبه ششم کلاک چه مقداری است؟



- ۱۰۱۰ (۱)
- ۰۱۰۰ (۲)
- ۰۱۱۰ (۳)
- ۰۱۰۱ (۴)



۹- اگر هزینه گیت NAND به اندازه تعداد ورودی‌های آن باشد، کمترین هزینه لازم برای پیاده‌سازی همزمان دو تابع با استفاده از فقط گیت‌های NAND چقدر است؟ (از هزینه گیت NOT صرف‌نظر کنید.)

$$f(a,b,c,d) = \sum m(0, 4, 6, 7) + d(1, 5, 10, 14)$$

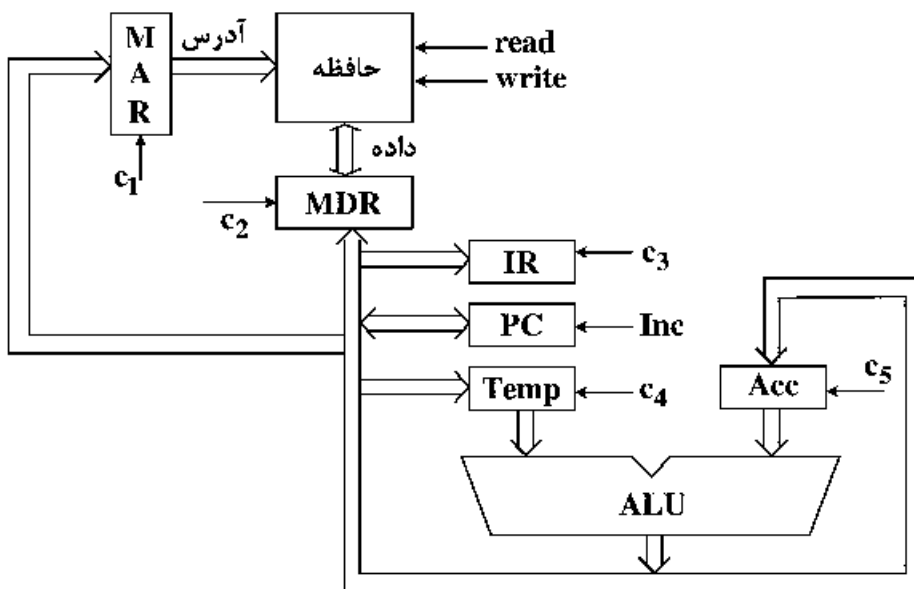
$$g(a,b,c,d) = \sum m(0, 4, 6, 11) + d(7, 10, 14, 15)$$

- ۱۳ (۱)
- ۱۴ (۲)
- ۱۵ (۳)
- ۱۶ (۴)

۱۰- فرض کنید تابع $f(a, b, c, d) = \sum m(0, 4, 7, 11) + d(3, 5, 10, 15)$ داده شده است. در این تابع، تعداد عوامل اولیه (Prime Implicant) و عوامل اولیه ضروری (Essential Prime Implicant) به ترتیب (از راست به چپ) کدام مورد است؟

- (۱) ۲ و ۴
- (۲) ۱ و ۵
- (۳) ۱ و ۴
- (۴) ۲ و ۵

۱۱- طبق شکل زیر، کدام یک از گزاره‌ها مربوط به دستورالعمل **Add X** است؟ (X آدرس یک عملوند در حافظه است که در **MAR** قرار گرفته و حاصل جمع در انباشتگر ذخیره می‌شود. همین‌طور فرض شده است خطوط **Load** یا کنترل ثبات‌ها و سایر اجزاء توسط واحد کنترل به موقع تأمین می‌شود.)



- | | |
|--|--|
| $t_1 : \text{MDR} \leftarrow M[\text{MAR}]$ | $t_1 : \text{Temp} \leftarrow \text{MAR}$ |
| $t_2 : \text{ACC} \leftarrow \text{MDR}$ (۲) | $t_2 : \text{ACC} \leftarrow \text{Temp} + \text{ACC}$ (۱) |
| $t_3 : \text{ACC} \leftarrow \text{ACC} + \text{Temp}$ | |
| $t_1 : \text{MDR} \leftarrow M[\text{MAR}]$ | $t_1 : \text{Temp} \leftarrow M[\text{MAR}]$ |
| $t_2 : \text{Temp} \leftarrow \text{MDR}$ (۴) | $t_2 : \text{ACC} \leftarrow \text{Temp} + \text{ACC}$ (۳) |
| $t_3 : \text{ACC} \leftarrow \text{Temp} + \text{ACC}$ | |

۱۲- طول دستورالعمل یک پردازنده ۱۲ بیت است و کلاً ۱۶ ثبات (Register) دارد. مشخص کنید کدام ترکیب دستورات امکان‌پذیر است؟ (عملوند: (Operand) در اینجا همان ثبات است.)

- (۱) ۱۶ دستور دو عملوندی و ۱۶ دستور تک عملوندی و ۴۰۶۴ دستور بدون عملوند
- (۲) ۱۵ دستور دو عملوندی و ۱۵ دستور تک عملوندی و ۱۶ دستور بدون عملوند
- (۳) ۱۵ دستور دو عملوندی و ۱۶ دستور تک عملوندی و ۴۰۶۵ دستور بدون عملوند
- (۴) ۱۵ دستور دو عملوندی و ۱۵ دستور تک عملوندی و ۱۵ دستور بدون عملوند

۱۳- مشخصات دو کامپیوتر A و B به شرح زیر داده شده است و فرض می‌کنیم n تعداد دستورات اجرا شده روی هر کامپیوتر و f فرکانس است. کدام عبارت درست است؟ (CPI: Clock Per Instruction)

	CPI	f	n
A	۱/۸	۲ GHz	۱۰ ^۹
B	۱/۵	۱/۵ GHz	۵/۸ × ۱۰ ^۹

(۱) $t_{exA} > t_{exB}$ ، $MiPS_A > MiPS_B$

(۲) $t_{exA} < t_{exB}$ ، $MiPS_A < MiPS_B$

(۳) $t_{exA} < t_{exB}$ ، $MiPS_A > MiPS_B$

(۴) $t_{exA} > t_{exB}$ ، $MiPS_A < MiPS_B$

۱۴- دو عدد علامت‌دار $A = S a_1 \dots a_{n-1}$ و $B = S' b_1 \dots b_{n-1}$ را در نظر بگیرید که S و S' نشان‌دهنده بیت علامت هستند. در کدام حالت، جمع دو عدد به‌طور قطع سرریز ایجاد نمی‌کند؟

(۲) $S \odot S' = 1$

(۱) $S \oplus S' = 1$

(۴) $S \cdot S' = 1$

(۳) $S + S' = 1$

۱۵- مشخص کنید برنامه R.T.I. زیر، کدام مد آدرس‌دهی را توصیف می‌کند؟ (A و B ثبات‌های داخلی پردازنده هستند).

$t_1 : A \leftarrow PC$

$t_2 : PC \leftarrow A + B$

(۲) آدرس‌دهی آنی

(۱) آدرس‌دهی مبتنی بر پایه و Index

(۴) آدرس‌دهی نسبی

(۳) آدرس‌دهی مستقیم

۱۶- برنامه زیر داده شده است:

$C_1 : A \leftarrow A + 1, M[MAR] \leftarrow B, PC \leftarrow PC + 1;$

$C_2 : B \leftarrow B - 1, SC \leftarrow SC + 1;$

$C_3 : C \leftarrow A + B, D \leftarrow D - 1;$

$C_4 : E \leftarrow E + B, A \leftarrow D;$

$C_5 : F \leftarrow M[MAR], G \leftarrow G + 1;$

مشخص کنید درست‌ترین جواب کدام است؟

(۱) گزاره‌های C_1, C_2, C_3 می‌توانند هم‌زمان اجرا شوند ولی C_4 با C_1 و C_5 با C_1 در تعارض است و فقط یکی از آنها قابل اجرا است.

(۲) گزاره‌های C_2 با C_3 و C_4 با C_1 در تعارض است. لذا بقیه می‌توانند هم‌زمان اجرا شوند.

(۳) گزاره‌های C_1, C_2, C_3 و C_5 می‌توانند هم‌زمان اجرا شوند ولی C_4 نمی‌تواند با آنها هم‌زمان اجرا شود.

(۴) همه گزاره‌های R.T.I. می‌توانند هم‌زمان اجرا شوند.

۱۷- اگر عدد $9 \dots 99,999 - 29$ در یک سیستم نمایش اعداد ممیز - شناور با فرمت زیر برابر با $C_2 DFF_{16}$ شود، مقدار

بایاس (Bias) و اندازه بخش توان (E) و اندازه بخش اعشاری (F) بر حسب بیت چقدر است؟ (S بیت علامت است).

$(-1)^S \times 1.F \times 2^{E-Bias}$

(۱) اندازه E ۷ بیت، اندازه F ۱۲ بیت و بایاس برابر ۱۲۷ است.

(۲) اندازه E ۷ بیت، اندازه F ۱۲ بیت و بایاس برابر ۶۳ است.

(۳) اندازه E ۶ بیت، اندازه F ۱۳ بیت و بایاس برابر ۶۳ است.

(۴) اندازه E ۶ بیت، اندازه F ۱۳ بیت و بایاس برابر ۳۱ است.

S	E	F
---	---	---

MSB

LSB

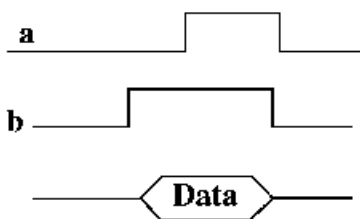
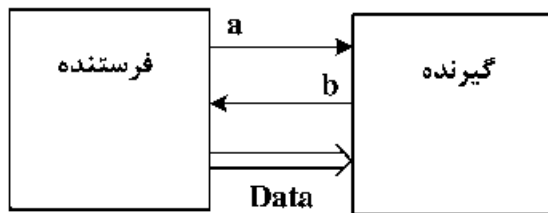
۱۸- برنامه‌ای حاوی ۴ نوع دستورالعمل جمع، ضرب، تقسیم و ارجاع به حافظه است که به ترتیب ۳۰٪، ۲۰٪، ۱۰٪ و ۴۰٪ از کل زمان اجرای برنامه صرف آنها می‌شود. کدام یک از بهبودهای زیر منجر به دستیابی کارایی بیشتر نسبت به بقیه حالت‌ها در اجرای این برنامه خواهد شد؟

- (۱) دستورهای از نوع جمع و ارجاع به حافظه ۲ برابر سریع‌تر شوند.
- (۲) دستورهای از نوع ضرب و تقسیم ۳۰ برابر سریع‌تر شوند.
- (۳) فقط دستورهای ارجاع به حافظه ۷ برابر سریع‌تر شوند.
- (۴) فقط دستورهای جمع ۵ برابر سریع‌تر شوند.

۱۹- یک حافظهٔ نهان (Cache) با ساختار 2-way set associative و با ظرفیت ۸ بلوک ۴ کلمه‌ای موجود است. اگر اعداد زیر آدرس کلمه‌هایی باشند که به ترتیب از چپ به راست توسط پردازنده تولید می‌شوند، کدام یک از این آدرس‌ها مستقل از روش جایگزینی بلوک‌ها، حتماً منجر به Hit در Cache می‌شوند؟ (Cache در ابتدای کار حالتی است).
 ۵, ۷, ۱۱, ۱۵, ۱۷, ۱۸, ۱۸

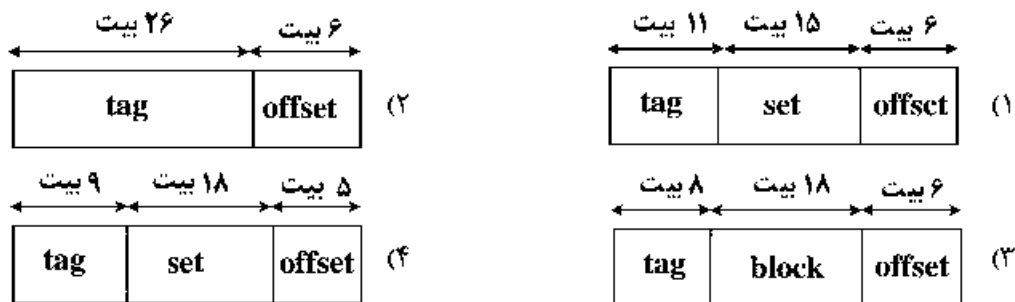
- (۱) ۷, ۸, ۱۸
- (۲) ۵, ۷, ۸
- (۳) ۱۷, ۱۸
- (۴) ۵, ۱۸

۲۰- شکل زیر سیگنال‌های ارتباطی بین یک فرستنده اطلاعات و دریافت‌کنندهٔ اطلاعات در یک سیستم I/O کامپیوتری را نشان می‌دهد. شکل زیرین ترتیب ارسال آنها و تبادل داده را در زمان نشان می‌دهد. مشخص کنید درست‌ترین جواب کدام است؟



- (۱) درخواست اطلاعات توسط گیرنده از فرستنده و دریافت آن براساس:
 $\begin{cases} a: \text{Request} \\ b: \text{Valid} \end{cases}$
- (۲) ارسال اطلاعات به ابتکار فرستنده به سمت گیرنده بر مبنای:
 $\begin{cases} a: \text{Request} \\ b: \text{Acknowledge} \end{cases}$
- (۳) درخواست اطلاعات توسط گیرنده از فرستنده و دریافت آن با:
 $\begin{cases} a: \text{Valid} \\ b: \text{Request} \end{cases}$
- (۴) ارسال اطلاعات به ابتکار فرستنده به سمت گیرنده بر مبنای:
 $\begin{cases} a: \text{Valid} \\ b: \text{Acknowledge} \end{cases}$

- ۲۱- در یک برنامه فقط ۳۰٪ آن قابل موازی‌سازی است و کلاً ۷ پردازنده با سرعت یکسان داریم. مشخص کنید در صورت به‌کارگیری این پردازنده‌ها سرعت چقدر می‌تواند بهبود یابد؟
- (۱) ۳۰٪ (۲) ۳۵٪ (۳) ۲۵۰٪ (۴) ۷۰۰٪
- ۲۲- نرخ اصابت (Hit ratio) حافظه نهان برابر ۹۰٪ و زمان دسترسی به آن ۱ns است. داده‌هایی که در حافظه اصلی نیز از روی دیسک آورده و قرار می‌گیرند، نرخ اصابتی برابر ۹۵٪ و زمان دسترسی ۱۰ns دارند. زمان دسترسی به دیسک ۱ms است. زمان متوسط دسترسی به این سیستم حافظه چقدر است؟
- (۱) ۱۶ns (۲) ۱۱/۹ns (۳) ۶/۹ns (۴) ۷۰۹۶ms
- ۲۳- ۱۰٪ دستورات یک برنامه خواندن از حافظه با تأخیر T و ۵۰٪ دستورات نوشتن در حافظه با تأخیر T. ۶۵٪ دستورات محاسباتی با تأخیر T و ۲۰٪ دستورات انشعاب با تأخیر T است. پس از بهبود الگوریتم و کد برنامه توانستیم دستورات انشعاب و دستورات نوشتن در حافظه را به ترتیب به ۱۰٪ و ۲٪ کل دستورات برسانیم و به همین میزان دستورات محاسباتی اجرا کنیم. زمان اجرای برنامه چند درصد بهبود یافته است؟
- (۱) ۹ (۲) ۱۰ (۳) ۱۱ (۴) ۱۲
- ۲۴- در یک سیستم حافظه که شامل ۴ GB حافظه اصلی و ۱۶ MB حافظه نهان (Cache) با ساختار شرکت‌پذیر مجموعه‌ای ۸ راهه (۸-way set associative) است، میادین (Fields) مختلف آدرس پردازنده کدام است؟ (هر بلوک حافظه شامل ۶۴ بایت است.)



- ۲۵- یک خط لوله دستورالعمل (Instruction pipeline) دارای ۵ طبقه است که هر کدام با کلاک ۱ns کار می‌کنند. فرض کنید که از لحظه صفر، ۱۰۰ دستور به ترتیب وارد پایپلاین شده و اجرا می‌شوند و در لحظه ورود دستور صد و یکم یک وقفه یا درهم قفلی (Interlock) در پایپلاین به مدت ۲۵ کلاک رخ می‌دهد و پس از آن ۲۵ دستور باقیمانده دیگر نیز اجرا می‌شوند. زمان پایان محاسبات با فرض اینکه هم ۱۰۰ دستور اول بی‌وقفه اجرا می‌شوند و هم ۲۵ دستور تازه وارد، چند نانوثانیه است؟

- (۱) ۱۵۰
(۲) ۱۵۴
(۳) ۱۵۶
(۴) ۱۵۸

۲۶- فرض کنید یک کامپیوتر برداری که به صورت SIMD دستورات برداری را اجرا می‌کند، دارای ۶۴ پردازنده است و هر عمل برداری را در ۲ns اجرا می‌کند. اگر عمل برداری $C = A + B$ را روی بردارهای A و B که هر کدام ۱۹۵ درایه دارند انجام دهیم، کلاً چند نانوثانیه زمان صرف می‌شود؟

- (۱) ۶
(۲) ۶۱۰۵
(۳) ۷۱۰۵
(۴) ۸

۲۷- در یک شبکه میان ارتباطی از نوع فوق مکعب (Hypercube) با کلاً ۶۴ پردازنده، تعداد گره‌های همسایه هر پردازنده و عرض مقطع دو نیمه (Bisection width) به ترتیب (از راست به چپ) چقدر است؟

- (۱) ۳۲، ۶
(۲) ۳۲، ۸
(۳) ۶۴، ۶
(۴) ۶۴، ۶۴

۲۸- می‌خواهیم جمع ۸ عدد را روی یک کامپیوتر ۸ پردازنده‌ای که به شکل مکعب به هم متصل هستند انجام دهیم. هر جمع زدن ۱ns و هر انتقال داده (مثل حاصل جمع جزئی) بین پردازنده‌های مجاور ۵ns طول می‌کشد. زمان اجرای برنامه موازی جمع این ۸ عدد، با فرض اینکه هر عدد روی یک پردازنده چیده شده باشد، چند نانوثانیه طول خواهد کشید؟

- (۱) ۱۶
(۲) ۱۸
(۳) ۴۱
(۴) ۴۸

۲۹- در اجرای چند ریسمانی هم‌زمان (Simultaneous Multi-threading) هر دستور هر ریسمان روی هر هسته
(۱) تا وقتی که دچار فقدان حافظه نهان (Cache miss) یا وابستگی به دستورات دیگر نشود، به صورت موازی با دیگر دستورات اجرا می‌شود.

(۲) یک کلاک اجرا می‌شود و نوبت را به دیگر دستورات قابل اجرا می‌دهد.

(۳) تا وقتی که وقفه‌ای از سیستم عامل نیاید، به کار خود ادامه می‌دهد.

(۴) تا وقتی که هسته‌ای موجود باشد، اجرا می‌شود.

۳۰- N_1 عدد روی پردازنده P_1 و N_2 عدد روی پردازنده P_2 فرار دارد. زمان ارتباط بین دو پردازنده برابر 100τ و زمان جمع زدن دو عدد روی هر پردازنده τ است. به کدام شرط (شروط) پردازش موازی زمان بهتری نسبت به جمع همه اعداد روی یک پردازنده خواهد داشت؟

- (۱) $N_1 + N_2 > 100$
(۲) $N_1 = N_2 = 100$
(۳) $N_1 = N_2 + 100, N_2 > 1$
(۴) $N_2 > 1, N_1 = N_2 + 99$

۳۱- جدول زیر Reservation Table یک پایپ‌لاین غیرخطی با سه مرحله را نشان می‌دهد. Minimum Average Latency چقدر است؟

1	2	3	4	5	6
X		X			
	X			X	
			X		X

- (۱) ۲٫۵
(۲) ۳٫۵
(۳) ۴
(۴) ۶

۳۲- در یک پردازنده با ۸ هسته پردازشی و فرکانس کاری ۲ گیگاهرتز، ۲۰ درصد دستورات در هسته‌ها نیاز به ارتباط با سایر هسته‌ها دارند و به ازای آن دستورات، عملیات هسته‌مربوطه تا اجابت درخواست به مدت ۲ نانوثانیه متوقف می‌شود. اگر CPI در پردازنده در حالتی که به ارتباط بین هسته‌ها نیاز نباشد برابر 0.2 باشد، CPI این پردازنده با در نظر گرفتن ارتباط بین هسته‌ها چه عددی خواهد بود؟

- (۱) 0.6
(۲) 0.2
(۳) ۱
(۴) ۲

۳۳- اجرای پایپ‌لاین پنج مرحله‌ای دستورات شامل واکنشی دستور (IF)، رمزگشایی و به‌دست آوردن عملوندها (ID)، اجرا (EX)، مراجعه به حافظه داده (DM) و ذخیره نتیجه در ثبات‌ها (WB) است. با فرض اینکه امکان استفاده از تکنیک روانه‌سازی (forwarding) وجود داشته باشد، اجرای دستورات زیر نیاز به چند عمل forwarding دارد؟

LD	X5, 20(X1)
ADD	X1, X2, X5
ST	40(X6), X1
SUB	X7, X1, X4
XOR	X8, X9, X4

- (۱) ۵
- (۲) ۴
- (۳) ۳
- (۴) ۲

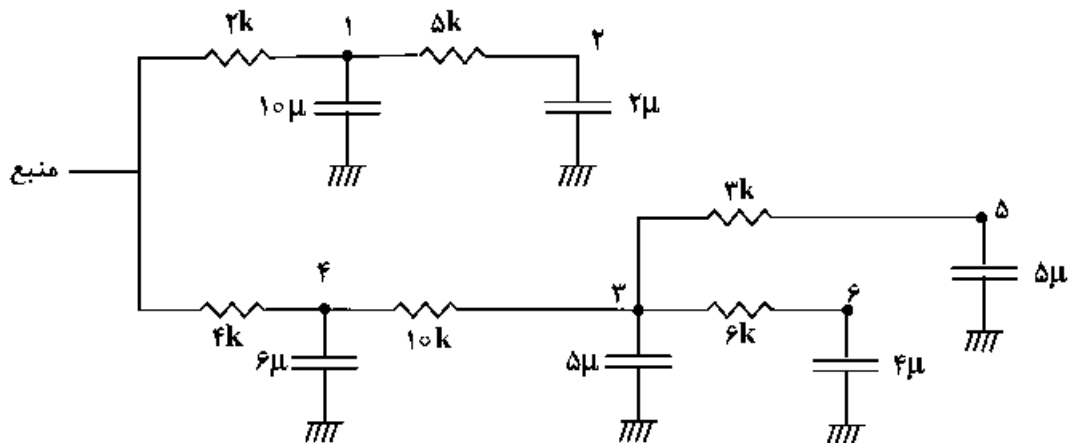
۳۴- در یک پردازنده، حافظه نهان دستور و داده معجزا و اندازه هر کدام ۱۶kB است. فرض کنید زمان دسترسی به حافظه نهان (Hit time) ۱ پالس ساعت و هزینه مراجعه به حافظه اصلی در صورت نبود داده یا دستور در حافظه نهان (miss penalty) ۱۰۰ پالس ساعت باشد. نرخ فقدان (miss rate) حافظه نهان دستور ۲ درصد و نرخ فقدان حافظه نهان داده یک درصد است. در یک برنامه ۲۰ درصد از دستورات از نوع مراجعه به حافظه است. میانگین زمان دسترسی به سیستم حافظه چند پالس ساعت است؟

- (۱) ۳٫۴
- (۲) ۳
- (۳) ۲٫۸
- (۴) ۲٫۴

۳۵- مخاطرات داده‌ای (Data hazard) RAW و WAW به ترتیب نشانگر کدام مورد است؟

- (۱) وابستگی دستور بعدی به خروجی دستور قبلی و یکسانی ورودی دستور بعدی و قبلی است.
- (۲) وابستگی دستور بعدی به خروجی دستور قبلی و یکسانی مقصد دستور بعدی و قبلی است.
- (۳) وابستگی دستور قبلی به خروجی دستور بعدی و یکسانی خروجی دستور بعدی است.
- (۴) وابستگی دستور قبلی به نتیجه انشعاب و وابستگی دستور بعدی به دستور قبلی است.

۳۶- تأخیر گره ۳ در شبکه زیر، به روش Elmore چند میلی ثانیه است؟

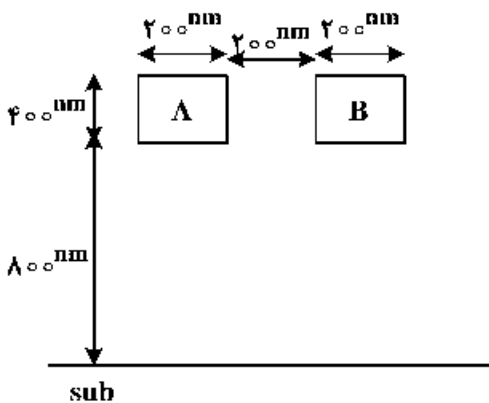


- (۱) ۲۲۰
- (۲) ۲۴۰
- (۳) ۲۵۴
- (۴) ۲۶۹

۳۷- پردازنده‌ای را در فرایند $0.18\mu\text{m}$ میکرومتر با ولتاژ تغذیه $1/2$ ولت در نظر بگیرید. مساحت این پردازنده 0.8 میلی‌متر مربع و توان مصرفی آن $3/6$ میلی‌وات است. اگر فرایند به 90 نانومتر با ولتاژ منبع تغذیه $1/0$ ولت مقیاس یابد، با فرض ثابت بودن خازن‌های داخلی و فرکانس کلاک، مساحت (برحسب میلی‌متر مربع) و توان مصرفی پردازنده (برحسب میلی‌وات)، به ترتیب (از راست به چپ) چقدر خواهد بود؟

- (۱) $2.5, 0.2$
- (۲) $5, 0.2$
- (۳) $5, 0.4$
- (۴) $2.5, 0.4$

۳۸- دو خط فلز شماره ۱ به موازات یکدیگر رسم شده‌اند. با فرض رها بودن (عدم وجود تحریک) خط B، نویز حاصل از تغییر ولتاژ خط A از 0 به V_{DD} بر روی خط B چند V_{DD} است؟



- (۱) $\frac{1}{9}$
- (۲) $\frac{1}{5}$
- (۳) $\frac{4}{5}$
- (۴) $\frac{8}{9}$

۳۹- یک نوسان‌ساز که از N عدد گیت معکوس‌کننده پایه (با کمترین ابعاد ممکن برای ترانزیستورهایش) تشکیل شده است، سیگنال کلاک با چه فرکانسی (برحسب GHz) تولید می‌کند؟ (N عددی فرد است و ضریب فناوری α برابر 15 ps است).

- (۱) $60N$
- (۲) $\frac{100}{2N}$
- (۳) $30N$
- (۴) $\frac{100}{6N}$

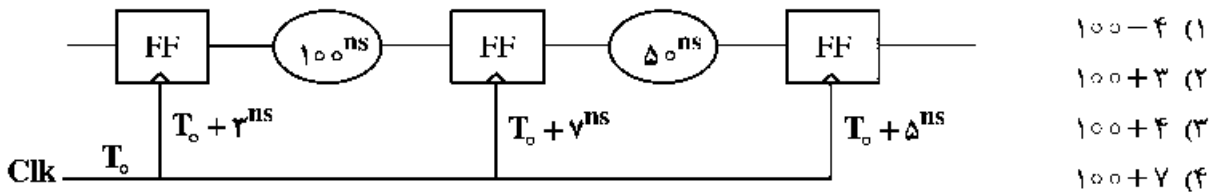
۴۰- یک خازن 0.2 pF در انتهای یک سیم فلزی به طول 4 میلی‌متر با مقاومت واحد طول $0.5\ \Omega/\mu\text{m}$ و خازن واحد طول $0.2\text{ fF}/\mu\text{m}$ وجود دارد. این سیم و خازن توسط یک بافر با مقاومت خروجی 100 اهم تحریک می‌شود. اگر مدل تأخیر سیم به صورت مدل π باشد، ثابت زمانی Elmore شارژ خازن و سیم چند پیکوثانیه است؟

- (۱) 34
- (۲) 36
- (۳) 64
- (۴) 76

۴۱- کدام عبارت در مورد تأثیر رسم چینش بر توان و انرژی مصرفی تراشه درست است؟

- (۱) همزمان نمی‌توان تأخیر و توان را با هم کاهش داد.
- (۲) می‌توان تأخیر، توان و انرژی را همزمان کاهش داد.
- (۳) می‌توان توان مصرفی را کاهش داد اما بر انرژی تأثیر ندارد.
- (۴) می‌توان تأخیر سلول‌ها را کاهش داد، اما بر مصرف انرژی تأثیر ندارد.

۴۲- در مدار شکل زیر، تأخیر دریافت سیگنال کلاک (ساعت) در ورودی هر فلیپ‌فلاپ و تأخیر بخش ترکیبی مشخص شده است. حداقل پریود کلاک (ساعت) سیستم بدون در نظر گرفتن زمان برپایی (Setup time) و تأخیر فلیپ‌فلاپ چقدر است؟



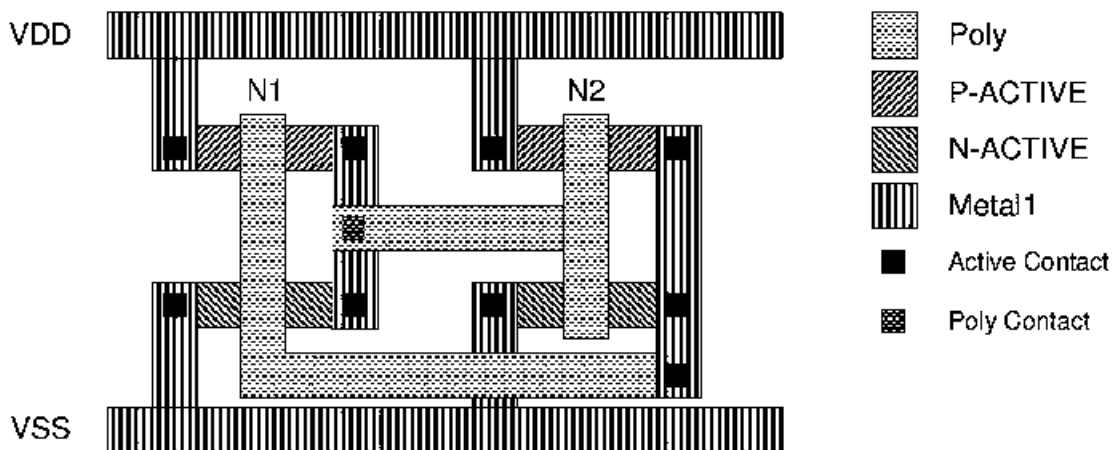
۴۳- کدام ویژگی در فناوری FinFET بدتر از فناوری MOSFET است؟

- (۱) جریان نشتی
- (۲) هزینه ساخت
- (۳) سرعت سوئیچینگ
- (۴) اثرات کانال کوتاه

۴۴- یک مدار دومینو برای محاسبه $F = (A + B)(C + D)$ با بیشترین سرعت ممکن طراحی نموده‌ایم. در این طراحی، هر ورودی قادر است حداکثر 30λ عرض ترانزیستور داشته باشد و خروجی می‌تواند باری معادل 500λ عرض ترانزیستور را هدایت کند. اندازه تقریبی ترانزیستورهای PMOS و NMOS در معکوس‌کننده خروجی برای دستیابی به کمترین تأخیر (به ترتیب)، در کدام گزینه آمده است؟

- (۱) معادل ۱۱۱ و معادل ۲۸ عرض ترانزیستور
- (۲) معادل ۲۲۱ و معادل ۵۴ عرض ترانزیستور
- (۳) معادل ۱۰۰ و معادل ۲۶ عرض ترانزیستور
- (۴) معادل ۲۲۰ و معادل ۲۸ عرض ترانزیستور

۴۵- چینش زیر نشان‌دهنده کدام گیت یا عنصر الکترونیکی است؟



- (۱) بافر دو طبقه
- (۲) یک بیت حافظه استاتیک
- (۳) یک بیت حافظه دینامیک
- (۴) نوسان‌ساز حلقوی